

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP57124464
Publication date: 1982-08-03
Inventor(s): YAMAMOTO KENICHI
Applicant(s): MITSUBISHI DENKI KK
Requested Patent: ☐ JP57124464
Application Number: JP19810010981 19810126
Priority Number(s):
IPC Classification: H01L27/06; H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent degradation due to abnormal input overvoltage by inserting two protective elements between a base and a signal input terminal.

CONSTITUTION: The two protective elements 100, 200 are inserted to an input circuit from the input terminal 6 of an IC. When the abnormal overvoltage having positive polarity is applied to the terminal 6, the voltage is clamped by a reverse direction diode consisting of an N type resistance layer 28 of the protective element 100 and a P type substrate 10 while being dropped by the N type resistance layer 28 and a P type resistance layer 32 of the protective element 200. A diode composed of the P type resistance layer 32 and an N type epitaxial growth layer 15 is forward bypassed at the same time, and bypassed by the junction capacity of the growth layer 15 and the P type substrate 10. When the abnormal voltage having negative polarity is applied to the terminal, the diode consisting of the N type resistance layer 28 and the P type substrate 10 is forward bypassed, and the abnormal overvoltage is not applied to a transistor 1.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑩ 公開特許公報 (A)

昭57-124464

⑫ Int. Cl.³
H 01 L 27/06
27/04

識別記号

庁内整理番号
6426-5F
8122-5F

⑬ 公開 昭和57年(1982)8月3日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体集積回路装置

機株式会社北伊丹製作所内

⑯ 特 願 昭56-10981

⑰ 出 願 人 三菱電機株式会社

⑱ 出 願 昭56(1981)1月26日

東京都千代田区丸の内2丁目2

⑲ 発 明 者 山本憲一

番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

伊丹市瑞原4丁目1番地三菱電

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 第1導電形の半導体基板の一方の主面上に第1導電形の分離層によつてお互いに独立した島状に形成した複数の第2導電形半導体領域にそれぞれ半導体素子を構成してなるものにおいて、上記半導体基板の一部に第1(または第2)導電形の半導体層からなる抵抗層およびこの抵抗層を囲んでこの抵抗層との間にp-n接合を構成する第2(または第1)導電形の半導体領域からなる保護素子を設け、この保護素子を介して入力信号を供給するようにしたことを特徴とする半導体集積回路装置。

(2) 保護素子が島状に形成した第2導電形半導体領域の一つに形成された第2導電形の半導体層からなる抵抗層およびこの抵抗層との間にp-n接合を構成する第1導電形の半導体基板からなることを特徴とする特許請求の範囲第1項記載の半導

体集積回路装置。

(3) 保護素子は、島状に形成した第2導電形半導体領域の一つに第1導電形の半導体層からなる抵抗層を形成し、上記第2導電形半導体領域との間にp-n接合を構成するようにしたことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

(4) 保護素子として、島状に形成した第2導電形の第1の半導体領域に形成された第2導電形の半導体層からなる第1の抵抗層およびこの第1の抵抗層との間にp-n接合を構成する第1導電形の半導体基板からなる第1の保護素子、並びに島状に形成した第2導電形の第2の半導体領域に第1の導電形の半導体層からなる第2の抵抗層を形成し上記第2導電形の第2の半導体領域との間にp-n接合を構成するようにした第2の保護素子を備え、上記第1および第2の保護素子を直列に接続したことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

この発明は半導体集積回路装置に保り、特にサージ電圧などによる破壊を防止するための保護素子を有する半導体集積回路装置に関するものである。

一般に、半導体集積回路装置(IC)は個別半導体装置に比べてサージ電圧などの異常な過電圧に対する破壊耐量が低い。これは、ICではそのシリットを発揮させるべく、より小さく、集積度を大きくして多機能化を計るに伴つて、IC内に構成される半導体素子が小さくなるためである。このため、ICの取扱ひ上の不注意の場合もあるが、ごく普通の試験や調整を行なつているときにも、サージという現象で代表されるICの外部の要因で発生したランダムな異常な誘導過電圧が印加されたり、不用意に静電気が帯電した物体や人体と接触させられたりすると、ICの特性劣化または破壊に至らしめることがある。

例えば、周知のプレーナ技術によつて作られたアナログICでよく用いられる初段回路方式が差動増幅回路で構成されたICの入力回路の一部を

のを防止するために個別素子による保護素子を上記ICに外付けして実装するとともに、ICの取扱ひについては静電気が帯電しない容器に入れ、更に人体にアースをとるなどの対策を講じていた。従つて、実装面積が大きくなり、余分な外部接続が増加し、コストも増大し、かつ取扱ひに注意を要し信頼性に問題を残すなど、本来のICの利点が生かされていない。

この発明は以上のような点に鑑みてなされたもので、入力トランジスタのベースと信号入力端子との間にIC内に一体に組み込まれた保護素子を挿入することによつて、外付きの保護素子を必要とせず、異常入力過電圧に対する耐量の大きいICを提供することを目的としている。

第2図はこの発明の一実施例の構成を示す断面図、第3図はその上面からみた平面図を示す。図において、第1図の従来例と同等部分は同一符号で示す。図において、(100)は第1の保護素子、(200)は第2の保護素子である。04はp形シリコン基板、01、02および03はn⁺形埋込層、04、04a

第1図に示す。図において、(1)および(2)はエミッタ共通接続した一対の入力npn形トランジスタ(TR)で差動増幅回路を構成している。(3)および(4)はベースを共通接続した一対のラテラルppn形負荷TRでエミッタを電源V_{cc}ラインに接続されている。(6)は入力TR(1)および(2)に定電流を流す定電流吸込みnpn形TRでエミッタを接地(GND)ラインに接続されている。(6)および(7)はそれぞれ入力npn形TR(1)および(2)のベースへ直接接続された入力端子、(8)はこのTR(2)のコレクタから出されたこの差動増幅回路の出力端子である。

上記回路構成のバイポーラICの入力npn形TR(1)のベース入力端子(6)にサージ電圧などの異常な過電圧が印加された場合、このTR(1)のエミッタ・ベース接合に電子なだれを生じ、雑音電圧の増大、 h_{FE} の低下、リーク電流の増大などの特性劣化または、エミッタ・ベース間のショート状態を発生する。

従来、このようなサージ電圧などの異常過電圧がICに印加され特性劣化または破壊を発生する

よび04はn形エピタキシャル成長層、04aはシリコン酸化膜、04bはn形エピタキシャル成長層04、04aおよび04bをそれぞれ独立の島状に分離するp形分離層、04c、04dおよび04eはn⁺形コレクタウオール層である。まず、TR(1)については、04fはp形ベース拡散層、04gはn形エミッタ拡散層、04hはn⁺形コレクタコンタクト層で、04i、04jおよび04kはそれぞれTR(1)のエミッタ、ベースおよびコレクタ電極である。次に第1の保護素子(100)については、04lはn形抵抗層、04mおよび04nはその両端の電極である。そして第2の保護素子(200)については、04oはn⁺形コレクタコンタクト層、04pはp形抵抗層、04qおよび04rはその両端の電極、04sは第2の保護素子(200)の島状のn形エピタキシャル成長層04の引出電極である。

この実施例の第1の保護素子(100)および第2の保護素子(200)の形成方法は、周知のプレーナ製造技術によつてICとともに作成する。すなわち、p形シリコン基板04上に選択的にn⁺形埋込層01、02および03を形成し、これらの上にn形エピ

タキシャル成長層104、106および108を成長させる。このn形エピタキシャル成長層104、106および108の上にシリコン酸化膜102を形成し、このシリコン酸化膜102を拡散のマスクとして選択的に不純物を拡散させてp⁺形分離層104並びにn⁺形コレクタウオール層106、108および110を形成する。次に、シリコン酸化膜102の所定個所に拡散窓を形成し、この拡散窓を通して不純物を拡散させて、npn形TR(1)のp形ベース層104および第2の保護素子(200)のp形抵抗層106を同時に形成する。なお、この場合p形抵抗層106は別個の選択拡散技術またはイオン注入技術などによつて形成してもよい。次に、npn形TR(1)のp形ベース層104並びにn形エピタキシャル成長層104、106および108のn⁺形コレクタウオール層106、108および110の上にシリコン酸化膜102をマスクとして選択拡散によりnpn形TR(1)のエミッタ拡散層104およびコレクタコンタクト層106、第2の保護素子(200)のコレクタコンタクト層108並びに第1の保護素子(100)のn形抵抗層104を同時に形成する。なおこの場合、エミッタ拡散層104と同

p形基板104とて構成される逆方向ダイオードで電圧クランプされる。一方、第1の保護素子(100)のn形抵抗層104と第2の保護素子(200)のp形抵抗層106とによつて電圧降下させるとともに、第2の保護素子(200)のp形抵抗層106とn形エピタキシャル成長層104とて構成されるダイオードを順バイアスさせ、n形エピタキシャル成長層104とp形基板104との間の接合容量でバイパスされサージ性の異常電圧はnpn形TR(1)に印加されない。

また、負極性の異常過電圧が入力端子102に印加された場合は第1の保護素子(100)のn形抵抗層104とp形基板104とて構成されるダイオードが順バイアスされ、これによつてバイパスされて負極性の異常過電圧はnpn形TR(1)に印加されない。このようにして、この実施例ではサージ電圧などの異常過電圧入力に対してICを十分保護することができる。

第4図はこの発明の効果を示すための特性図で、縦軸に半導体装置の破壊電圧(BV)を、横軸にはコンデンサチャージ法によつてコンデンサチャージ

時に形成したn形抵抗層106は別個の選択拡散工程で形成してもよい。次にシリコン酸化膜102を周知のエッチング技術によつて選択的にエッチングして電極用開口部をそれぞれ形成した後、アルミニウムなどの金属の蒸着とホトエッチング技術とを用いて、npn形TR(1)のベース電極104、エミッタ電極106およびコレクタ電極108、第1の保護素子(100)の電極104および106、並びに第2の保護素子(200)の電極108、110および112を形成する。なお、このとき第1の保護素子(100)の入力側の電極104は第3図に示すようにボンディング電極を兼ねるような構造に形成し、外部端子102に接続され、かつ、第1の保護素子(100)、第2の保護素子(200)およびnpn形TR(1)の各相互間はそれぞれ1本の金属配線で接続されるように構成する。

以上のように、この実施例では第1の保護素子(100)および第2の保護素子(200)が直列にICの入力端子102からの入力回路に挿入されているので、入力端子102に正極性の異常過電圧が印加された場合、第1の保護素子(100)のn形抵抗層104と

電圧を半導体装置の特定の端子に印加して破壊試験を行なつたときのコンデンサ容量Cをとつて示してある。第1図に示したような半導体装置について、この発明を適用して入力回路に保護素子を挿入した場合の特性を破線Aで示し、保護素子を用いない場合の特性を破線Bで示す。図示のように、入力回路に保護素子を挿入することによつて、破壊電圧は格段に改良される。

上記実施例では、n⁺形コレクタウオール層106、108および110はそれぞれn⁺形埋込層111、112および114に接続され、また一方それぞれn⁺形コレクタコンタクト層106、コレクタコンタクト層108およびn⁺形抵抗層106に接続されているが、n⁺形コレクタウオール層106、108および110はなくてもよく、更にn⁺形埋込層111、112および114もなくてもよい。また、第1の保護素子(100)のn形抵抗層104は特別に設けずに、n形エピタキシャル成長層104を抵抗層として使用するようにしてもよい。更に、第2の保護素子(200)のn⁺形コレクタコンタクト層108およびn⁺形コレクタウオール層106はp形抵抗層106に高電

圧サージが印加された場合の空乏層の広がり、または寄生MOSトランジスタ効果を防止するため、 p 形抵抗層 100 を囲む環状に形成してもよい。なお、第1の保護素子 (100) の電極 101 はガンディング電極を兼ねるようにしたが、別々に形成してもよい。更に、この実施例では第1の保護素子 (100) と第2の保護素子 (200) とを用いたが、どちらか一方のみでもよい。

また、この実施例では保護対象となるICの入力半導体素子をnpn形TRで構成したが、pnp形TRまたはMOS形TRで構成した場合にもこの発明は適用できる。更に、半導体基板はシリコン基板に限らず、ガリウム砒素などの他の半導体材料を用いた場合にも適用できる。

以上詳述したように、この発明になる半導体集積回路装置では、この集積回路装置内に一体に組み込まれ、抵抗半導体層およびこれを囲んでこの抵抗半導体層との間に p - n 接合を構成する導電形の異なる半導体領域からなる保護素子を介して入力信号を供給するようにしたので、外付きの保護

素子を必要とせず異常入力過電圧に対する大きな耐量を得られ、小形で高信頼性が達成できる。また、その構成上、特別な製造方法を必要とせず、容易に安価に製造することができる。

4. 図面の簡単な説明

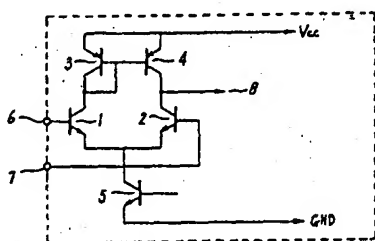
第1図はこの発明を適用すべきICの入力回路の一部を示す回路図、第2図はこの発明の一実施例の構成を示す断面図、第3図はその上面からみた平面図、第4図はこの発明の効果を示すための特性図である。

図において、 11 は入力トランジスタ、 6 は入力端子、 101 は第1導電形の半導体基板、 104 、 105 および 106 は第2導電形領域、 102 は第1導電形の分離層、 103 は第2導電形の第1の抵抗層、 107 は第1の導電形の第2の抵抗層、 (100) は第1の保護素子、 (200) は第2の保護素子である。

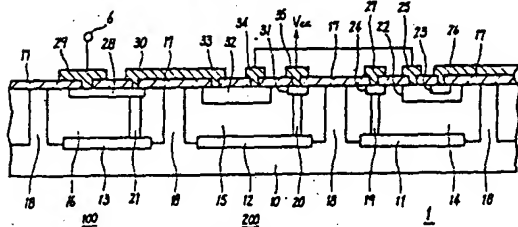
なお、図中同一符号は同一または相当部分を示す。

代理人 島野 信一 (外1名)

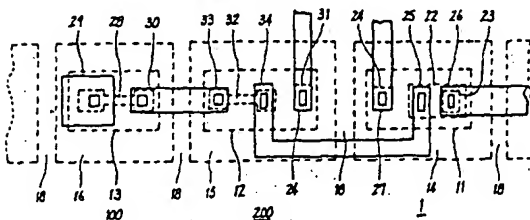
第1図



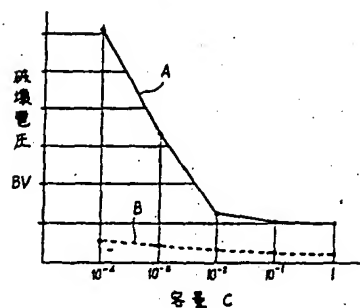
第2図



第3図



第4図



手続補正書(自費)

昭和56年8月26日



特許庁長官殿

1. 事件の表示 特願昭56-10981号

2. 発明の名称 半導体集積回路装置

以 上

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 ~~渡 藤 貞 和~~
片 山 仁 八 郎

4. 代 理 人
住 所 東京都千代田区丸の内二丁目2番3号
氏 名 (6699) 三菱電機株式会社内
弁理士 葛 野 信 一

(送附) 特許庁 (特許)

5. 補正の対象

明細 書の発明の詳細な説明の欄

6. 補正の内容

明細 書の第9頁第6～9行に「順バイアスさせ、
n形-----印加されない。」とあるのを「順
バイアスさせて、正極性の異常過電圧はnpa形T
R (I) に印加されない。」と訂正する。